



PATENT  
ATTORNEY DOCKET NO. 041514-5310

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: Yoshiyuki OKUDA	)	Confirmation No.: 8431
	)	
Application No.: 10/679,503	)	Group Art Unit: 2821
	)	
Filed: October 7, 2003	)	Examiner: <i>To Be Assigned</i>
	)	
For: DISPLAY PANEL DRIVING DEVICE	)	

Commissioner for Patents  
U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Patent Application  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

**SUBMISSION OF PRIORITY DOCUMENTS**

Under the provisions of 35 U.S.C. §119, Applicant hereby claims the benefit of the filing date of Japanese Patent Application No. JP2002-294839 filed October 8, 2002; and Japanese Patent Application No. JP2002-294840 filed October 8, 2002 for the above-identified United States Patent Application.

In support of Applicant's claim for priority, filed herewith is the certified copy of the applications.

Respectfully submitted,

**MORGAN, LEWIS & BOCKIUS LLP**

John G. Smith, Reg. No. 33,818

Dated: May 5, 2004

**MORGAN, LEWIS & BOCKIUS LLP**  
**Customer No. 009629**  
1111 Pennsylvania Avenue, N.W.  
Washington, D.C. 20004  
(202) 739-3000

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年10月 8日

出 願 番 号  
Application Number:

特願2002-294839

[ ST.10/C ]:

[ JP 2002-294839 ]

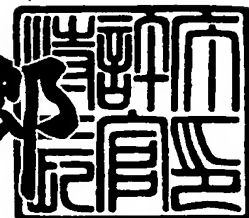
出 願 人  
Applicant(s):

パイオニア株式会社

2003年 6月24日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3049509

【書類名】 特許願

【整理番号】 56P0567

【提出日】 平成14年10月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/00  
H05B 37/02

【発明の名称】 ディスプレイパネルの駆動装置

【請求項の数】 6

【発明者】  
【住所又は居所】 埼玉県鶴ヶ島市富士見 6 丁目 1 番 1 号 パイオニア株式会社 総合研究所内

【氏名】 奥田 義行

【特許出願人】  
【識別番号】 000005016  
【氏名又は名称】 パイオニア株式会社

【代理人】  
【識別番号】 100079119  
【弁理士】  
【氏名又は名称】 藤村 元彦

【手数料の表示】  
【予納台帳番号】 016469  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9006557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ディスプレイパネルの駆動装置

【特許請求の範囲】

【請求項 1】 基板上において表示素子を挟んで互いに交叉して設けられた複数のアドレス電極と複数のデータ電極とからなるディスプレイパネルの駆動装置であって、

前記基板上において互いに並列に設けられた複数のアドレス信号生成用制御線と、

前記基板上において絶縁膜及びチャネル材料膜を挟んで、前記アドレス信号生成用制御線の各々と交叉して複数の交叉部を形成する前記アドレス電極の各々からの延長線とを含み、

前記延長線の各々は、前記複数の交叉部のうちの少なくとも一部において切断されていることを特徴とするディスプレイパネルの駆動装置。

【請求項 2】 前記アドレス信号生成用制御線の各々は、前記基板に接していることを特徴とする請求項 1 に記載のディスプレイパネルの駆動装置。

【請求項 3】 前記延長線の各々は、前記基板に接していることを特徴とする請求項 1 に記載のディスプレイパネルの駆動装置。

【請求項 4】 前記アドレス信号生成用制御線及び前記延長線の各々は、前記絶縁膜のみを挟んで交叉し、

前記チャネル材料膜は、前記絶縁膜上において前記延長線の各々を覆っていることを特徴とする請求項 1 に記載のディスプレイパネルの駆動装置。

【請求項 5】 前記チャネル材料膜は、前記延長線の各々に沿って互いに隔離されていることを特徴とする請求項 1 に記載のディスプレイパネルの駆動装置。

【請求項 6】 前記チャネル材料膜は、前記延長線の切断された部分にのみ設けられていることを特徴とする請求項 1 に記載のディスプレイパネルの駆動装置。

【発明の詳細な説明】

【 0 0 0 1 】

## 【発明の属する技術分野】

本発明は、ディスプレイパネルの駆動装置等に関する。

## 【0002】

## 【従来の技術】

複数の表示素子を挟んで互いに交叉する複数のアドレス電極と複数のデータ電極とからなるディスプレイパネルとしては、例えば、有機エレクトロルミネセンス（以下、単に“有機EL”と称する）発光素子を表示素子として用いるアクティブマトリクス方式のディスプレイパネルが知られている（特許文献1を参照のこと）。かかるディスプレイパネルの概略構成を図1に示す。

## 【0003】

同図において、ディスプレイパネル10にはTFT素子及び有機EL発光素子から成る表示素子がマトリクス状に配列されている。因みに、ディスプレイパネルの国際的な規格であるVGA (Video Graphics Adaptor)規格によれば、ディスプレイパネル10には、例えば（640（×RGB）列×480行）ドットの表示素子が配列される。また、ディスプレイパネル10の周辺回路であるX転送回路20は、これらの640（×RGB）列に並んだ表示素子群の各々に表示すべきデータ信号を供給する回路である。つまり、X転送回路20からは、ディスプレイパネル10のX軸方向について、RGB表示素子の各々について640本のデータ電極が並列に出力される。

## 【0004】

一方、Y転送回路30は、480行に並んだ各行の表示素子群を所定のタイミングで選択し、各行の表示素子群に選択信号であるアドレス信号を供給する回路である。そして、Y転送回路30からは、ディスプレイパネル10のY軸方向について480本のアドレス電極が並列に出力される。

以下、本明細書においては、これらのディスプレイパネルの周辺回路であるX転送回路20、及びY転送回路30をディスプレイパネル10の駆動装置と称する。

## 【0005】

従来、これらの駆動装置は、シフトレジスタを主体に構成されていた。例えば

、Y転送回路30は、480段のシフトレジスタを用いて図1に示されるY転送用信号に含まれるY転送パルスを順次シフトさせ、上記のアドレス信号を生成していた。しかしながら、シフトレジスタのような順序論理回路を構成するには、Pチャネル型及びNチャネル型の両極性のトランジスタを必要とする。それ故、駆動装置を構成する半導体素材としては、単極性のトランジスタしか作ることができないアモルファスシリコンや有機半導体等の半導体素材を用いることができず、もっぱら、製造工程が複雑でコストの高い低温ポリシリコン半導体素材が用いられてきた。

【0006】

【特許文献1】

特願2002-93856号公報

【0007】

【発明が解決しようとする課題】

従って、本発明が解決しようとする課題には上述した問題が一例として挙げられる。

【0008】

【課題を解決するための手段】

請求項1に記載のディスプレイパネルの駆動装置は、基板上において表示素子を挟んで互いに交叉して設けられた複数のアドレス電極と複数のデータ電極とからなるディスプレイパネルの駆動装置であって、

前記基板上において互いに並列に設けられた複数のアドレス信号生成用制御線と、前記基板上において絶縁膜及びチャネル材料膜を挟んで、前記アドレス信号生成用制御線の各々と交叉して複数の交叉部を形成する前記アドレス電極の各々からの延長線とを含み、

前記延長線の各々は、前記複数の交叉部のうちの少なくとも一部において切断されていることを特徴とする。

【0009】

【発明の実施の形態】

請求項1の記載によるディスプレイパネルの駆動装置の第1の実施例を図2に

示す。

同図に示す如く、ディスプレイパネル10の表面にマトリクス状に設けられた表示素子11は、主に、発光素子EL1、データ書き込み用トランジスタQ1、発光素子駆動用トランジスタQ2、及びストレージキャパシタC1から構成されている。ここで、表示素子11における発光動作を説明すれば以下のようなになる。すなわち、所定のタイミングでアドレス電極13に重畳されたY転送パルス（アドレス信号）によってQ1がオンとなる。このとき、データ電極12に重畳されたX転送パルス（データ信号）による電荷がQ1を経由してC1に蓄えられる。一旦C1に電荷が蓄積されると、かかる電荷によりQ2のゲートの電位が高電位となってQ2がオンとなり、電源電圧+Vccから駆動電流が供給されEL1が発光するのである。

#### 【0010】

次に、ディスプレイパネルの駆動装置について説明を行う。因みに、請求項1の記載によるディスプレイパネルの駆動装置は、Y転送回路30の基板構造をそのポイントとする。それ故、本明細書の記載においては、Y転送回路30の構成のみを対象として説明を行う。

Y転送回路30は、ディスプレイパネルの制御装置（図示せず）から供給されるY転送クロック（約28.8kHz）に同期して、ディスプレイパネル10の各行の表示素子群を選択するアドレス信号を生成するアドレス信号生成回路である。かかるアドレス信号が生成される様子を図3のタイムチャートに示す。

#### 【0011】

図3に示す如く、アドレス信号生成回路であるY転送回路30は（以下、説明の便宜上、Y転送回路30をアドレス信号生成回路と呼称する）、ディスプレイパネルに表示される1画面分（1フレーム）の時間である約16.7mS（1/60Hz）の間に、ディスプレイパネル10に敷設された480行分の表示素子群を順次選択する走査パルスを生成する。アドレス信号生成回路は、かかる走査パルスとしてY転送クロックに同期したアドレス信号を生成し、これをディスプレイパネル各行の表示素子群に供給するのである。

#### 【0012】

次に、アドレス信号生成回路内部の構成を説明する。同回路は、図 2 に示す如く、アドレス信号生成データが重畳されたアドレス信号生成用データ制御線群 3 2（以下、単に“制御線群 3 2”と称する）、該制御線群 3 2 にアドレス信号生成データを供給するアドレス信号生成データ供給回路 3 1（以下、単に“供給回路 3 1”と称する）、組合せ論理回路 3 3、及びアドレス電極 1 3 から構成されている。因みに、アドレス信号生成データとは、上記のアドレス信号を生成する基となるコード群のことをいう。即ち、供給回路 3 1 は、Y 転送クロックを、例えば、所定の  $n$  進バイナリーカウンタでカウントし、 $2^0 \sim 2^n$  の各桁のパルス信号及びこれらの各桁を反転させたパルス信号を生成する。そして、かかるパルス信号を並置して成る  $2n$  ビットの符号を上記のコード群として用いる。

## 【 0 0 1 3 】

図 2 に示す事例の場合、ディスプレイパネル 1 0 には Y 軸方向について 4 8 0 行分の表示素子群が敷設されている。それ故、1 行から 4 8 0 行までの各々の行アドレスを生成するのに必要とされるバイナリー符号のビット数は、

$$512 > 480 > 256$$

すなわち、

$$2^9 > 480 > 2^8$$

なる関係より 9 ビット長のバイナリー符号を準備すればよい。

## 【 0 0 1 4 】

従って、供給回路 3 1 は、Y 転送クロックをカウントする 4 8 0 進バイナリーカウンタとインバータ回路（共に図示せず）によって構成することができる。即ち、図 2 の事例では、供給回路 3 1 によって生成されたアドレス信号生成データは、 $n = 9$  ビットのバイナリー符号及びその反転符号からなる。そして、 $2n = 18$  ビットから成るコードが制御線群 3 2 に供給される。つまり、制御線群 3 2 は、9 ビットのバイナリー符号  $Y_8$  (MSB)  $\sim Y_0$  (LSB)、及びその反転符号  $Y_8b$  (MSB)  $\sim Y_0b$  (LSB) が、その各々に重畳された 18 本の制御線から構成されることになる。

## 【 0 0 1 5 】

前述の如く、4 8 0 進バイナリーカウンタは、Y 転送クロック（約 28.8 k



Hz) をカウントするため、1つのカウントステップは、図3に示す如く、Y転送クロックの一周期である約34.7 $\mu$ Sとなる。なお、480進バイナリーカウンタのカウント値が一巡する480カウントに要する時間は、表示画面の1フレームに相当する時間である約16.7mS (約34.7 $\mu$ S $\times$ 480ステップ) となることは言うまでもない。

#### 【0016】

一方、組合せ論理回路33は、ANDゲートやORゲートなどの論理ゲート回路から成る組合せ論理回路であり、ディスプレイパネル10の各行毎に必要とされる。それ故、図2に示す事例では、1行から480行までのアドレス電極13の各々に対応した480個の組合せ論理回路が必要とされ、これらの組合せ論理回路33の各々には、制御線群32の内から抽出された $n=9$ ビットの制御線が入力される。そして、各々の組合せ論理回路33は、かかる9ビットからなるコードを用いて、ディスプレイパネルの各々のアドレス電極の選択信号、即ちアドレス信号を出力するのである。

#### 【0017】

組合せ論理回路33の具体的な動作とその構成については、図4に示す回路図を参照しつつ更に説明を行う。

因みに、図4においては説明を容易とすべく、制御線群32を $n=3$ ビットのバイナリーコードに限定している。この場合、かかるアドレス信号生成データからデコードし得るアドレスの数は、

$$2^n = 2^3 = 8$$

となる。すなわち、3ビットのバイナリコード「000」で表される1行目のアドレス=AL1から、「111」で表される8行目のアドレス=AL8までの8行分である。なお、図4に示す回路には、便宜上2つの組合せ論理回路331及び332のみが記載されているが、これと同様の組合せ論理回路がAL1～AL8の各アドレスについて各々具備されていることは言うまでもない。

#### 【0018】

制御線群32には、Y2(MSB)～Y0(LSB)のバイナリーコード及び、その反転コードであるY2b(MSB)～Y0b(LSB)の、 $2n=6$ ビットからなるコードが重

畳されている。それ故、図 5 に示す如く、1 行から 8 行までのアドレス信号のデコードが行われる際、制御線群 3 2 に重畳された上記 6 ビットのコードのうち、3 ビットは必ず論理レベル「1」となり、残りの 3 ビットは必ず「0」となる。

#### 【0 0 1 9】

一方、図 4 の回路に示す如く、組合せ論理回路は、3 つの N チャネル型トランジスタが直列に接続され、各々の N チャネル型トランジスタのゲート端子を入力端子とする論理積回路となっている。つまり、組合せ論理回路の 3 つの入力端子の全てが「1」となったときにのみ、組合せ論理回路の出力であるソースフォロワ抵抗 R のソース側端子に電源電圧 + V c c、即ち論理レベル「1」が現れる。

#### 【0 0 2 0】

図 4 に示す回路では、組合せ論理回路 3 3 1 が 1 行目、即ちアドレス = A L 1 のデコード回路に相当し、組合せ論理回路 3 3 2 が 2 行目、即ちアドレス = A L 2 のデコード回路に相当する。そして、組合せ論理回路 3 3 1 を構成する N チャネル型トランジスタ Q 1 1 ~ Q 1 3 の各々のゲート端子には、制御線群 3 2 の内から抽出された Y 2 b, Y 1 b, Y 0 b の 3 本の制御線が接続されている。同様に、組合せ論理回路 3 3 2 の各ゲート端子には、制御線群 3 2 の内から抽出された Y 2 b, Y 1 b, Y 0 の 3 本が接続されている。

#### 【0 0 2 1】

図 5 に示したコード群とデコードアドレスの関係からも明らかなように、アドレス = A L 1 のデコード時には、Y 2 b, Y 1 b, Y 0 b の 3 ビットの論理レベルが「1」となり、アドレス = A L 2 のデコード時には、Y 2 b, Y 1 b, Y 0 の 3 ビットの論理レベルが「1」となる。つまり、各々のアドレスのデコード時に、各々のアドレスに対応した組合せ論理回路から論理レベル「1」のパルスがアドレス信号として出力される。

#### 【0 0 2 2】

すなわち、本実施例によれば、ディスプレイパネルの駆動装置におけるアドレス信号生成回路をシフトレジスタのような順序論理回路を使用せずに、単極性トランジスタのみで構成可能な組合せ論理回路を用いて実現し得る。それ故、ディスプレイパネルの駆動装置の構成部材として、アモルファスシリコンや有機半導

体などの製造が容易で低コストの半導体素材を使用することが可能となる。

#### 【 0 0 2 3 】

次に、図 4 の回路の基板構造を図 6 に、同図中の A - A' に沿っての断面図を図 7 に示す。

図 6 及び図 7 において、基板 4 0 は、図 4 に示されるアドレス生成回路が形成されている基板である。因みに、図 6 の基板構造によって形成される電気回路は、図 4 に示される回路と等価であるが、図 4 中の電源 + V c c 及びソースフォロワ抵抗 R は、説明の便宜上省略されている。なお、図 6 に示す構成部分を独立した基板構造とする必要はなく、例えば、ディスプレイパネル 1 0 を形成しているガラスや高分子材料から成る透明基板上に、ディスプレイパネルの表示素子と併設して形成する構造としても良い。

#### 【 0 0 2 4 】

アドレス信号生成用データ制御線パターン 4 1（以下、単に“制御線パターン 4 1”と称する）は、制御線群 3 2 を構成する各々のアドレス信号生成用データ制御線を物理的に具現化したものである。即ち、制御線パターン 4 1 は、基板 4 0 の上に、例えば、銅合金やアルミニウム合金などの導電性材料を蒸着して形成された配線パターンである。なお、図 6 に示す基板構造をディスプレイパネルの透明基板上に表示素子と併設して形成する場合は、制御線パターン 4 1 に I T O（酸化インジウム錫）などを利用した透明電極を用いても良い。

#### 【 0 0 2 5 】

絶縁膜 4 2 は、例えば、酸化シリコンや窒化シリコンなどの高絶縁性を有する絶縁性薄膜であり、基板 4 0 の表面に当接して上記制御線パターン 4 1 の各々を覆って設けられる。

また、チャネル材料膜 4 3 は、絶縁膜 4 2 に当接して設けられた p 型、若しくは n 型の半導体材料から成る薄膜である。チャネル材料膜 4 3 の素材としては、例えば、アモルファスシリコン素材を用いても良いし、或いは有機半導体素材を用いても良い。なお、絶縁膜 4 2、及びチャネル材料膜 4 3 を形成する方法としては、蒸着、印刷、或いは気相成長など種々の薄膜生成方法を用いることが可能である。すなわち、絶縁膜 4 2 やチャネル材料膜 4 3 として使用される素材に最

も適した薄膜生成法を用いればよい。

#### 【 0 0 2 6 】

アドレス電極延長線パターン 4 4（以下、単に“延長線パターン 4 4”と称する）は、図 4 の回路におけるアドレス電極 1 3 の延長部を基板上に具現化したものである。延長線パターン 4 4 は、制御線パターン 4 1 と同様に、アルミニウム合金などの導電性材料をチャンネル材料膜 4 3 の上に蒸着などの処理を行うことにより形成される。因みに、かかる延長線パターン 4 4 が延伸され、ディスプレイパネル 1 0 の各行毎のアドレス電極 1 3 に接続されることは言うまでもない。

#### 【 0 0 2 7 】

図 6 に示す如く、各々の延長線パターン 4 4 は、上記の制御線パターン 4 1 と直交するように敷設される。また、図 6 及び図 7 から明らかなように、延長線パターン 4 4 は、1 本の連続した配線パターンではなく、その下にある制御線パターン 4 1 と直交する所定の交叉位置において切断部分を有している。

次に、本実施例の動作原理について図 6 及び図 7 を参照しつつ説明を行う。

#### 【 0 0 2 8 】

本実施例では、基板 4 0 の上に形成された絶縁膜 4 2 とチャンネル材料膜 4 3 との複合膜層が、制御線パターン 4 1 と延長線パターン 4 4 の両金属電極によって挟まれた MOS 構造となっている。従って、図 7 の断面図に示す如く、両金属電極の交叉部で、かつ延長線パターン 4 4 の切断部分においては、MOS 構造による電界効果トランジスタが自ずから形成されることになる。

#### 【 0 0 2 9 】

この様子を、図 7 の断面図に示すトランジスタ Q 1 1 を例にとって説明すれば次のようになる。

すなわち、トランジスタ Q 1 1 において、制御線パターン 4 1（この場合、制御線パターン 4 1 はアドレス信号生成用データ制御線の Y 2 b に相当する）がトランジスタのゲート端子 G となり、延長線パターン 4 4 の両切断端部がそれぞれトランジスタのドレイン端子 D、若しくはソース端子 S となる。また、ドレイン、ソース間のアドレス電極切断部の下部に在るチャンネル材料膜 4 3 に電荷の移動が行われるチャンネル領域が形成される。そして、かかるチャンネル領域における電

荷の移動が絶縁膜 4 2 を介してゲート端子 G の電位によって制御されるのである。因みに、チャネル材料膜 4 3 に使用する半導材料が n 型であれば Q 1 1 として N チャネル型のトランジスタが形成され、p 型であれば P チャネル型のトランジスタが形成されることになる。

#### 【 0 0 3 0 】

また、延長線パターン 4 4 において、切断部以外のパターンが繋がっている部分は通常の配線パターンとなる。それ故、かかる配線パターンによって、延長線パターン 4 4 の切断部に形成された隣接するトランジスタのドレインとソースが互いに電氣的に接続される。つまり、延長線パターン 4 4 の切断部に形成された各々のトランジスタは、図 7 に示す如く、全て直列に接続されることになる。例えば、アドレス  $AL = 1$  に相当する延長線パターン 4 4 の場合、各々のゲート端子が、それぞれ Y 2 b, Y 1 b, Y 0 b の各制御線に接続されたトランジスタ Q 1 1, Q 1 2, Q 1 3 の直列接続が得られる。

#### 【 0 0 3 1 】

従って、チャネル材料膜 4 3 に n 型半導体材料を用いるものとすれば、 $AL = 1$  に相当する延長線パターン 4 4 に形成される電気回路は、N チャネル型トランジスタ Q 1 1, Q 1 2, Q 1 の直列回路となる。そして、これらの N チャネル型トランジスタの直列回路は、図 4 に示した組合せ論理回路 3 3 1 の論理積回路の部分に他ならない。

#### 【 0 0 3 2 】

すなわち、本発明によれば、制御線パターン 4 1、延長線パターン 4 4、及び両パターン間の複合膜層により形成された MOS 構造自体に、組合せ論理回路としての機能を持たせることが可能となる。それ故、基板上には別途、組み合わせ論理回路や、同回路と制御線パターン 4 1 とを接続するスルーホールを設ける必要がなく、ディスプレイ駆動装置の基板構造を簡略化でき、その小型化を図ることができる。

#### 【 0 0 3 3 】

次に、請求項 1 の記載によるディスプレイパネルの駆動装置の第 2 の実施例について説明する。

第 2 の実施例によるディスプレイパネルの駆動装置の基板構造を図 8 に、同図中の A-A' に沿っての断面図を図 9 に示す。

図 8 から明らかな如く、第 1 の実施例で絶縁膜 4 2 の上面の全域に設けたチャネル材料膜 4 3 を、延長線パターン 4 4 の各々に沿って電極毎に隔離して敷設したものが第 2 の実施例となる。本実施例と前述した第 1 の実施例の構造上の相異はかかる点のみであるため、第 2 の実施例についての構造及び動作についての説明は省略する。

#### 【 0 0 3 4 】

因みに、チャネル材料膜 4 3 の隔離は、例えば、チャネル材料膜 4 3 の成形行程において塗り分けによって行われるようにしても良いし、また、絶縁膜 4 2 の上に酸化シリコンなどによる隔壁を設けてチャネル材料膜 4 3 を隔離する構造としても良い。

なお、第 2 の実施例は、各々の延長線パターン 4 4 が隔離されているので、アドレス電極間の干渉を完全に防ぐことが可能となり、また、チャネル材料膜 4 3 の敷設面積を低減できるので製造コストの削減にも寄与し得る。

#### 【 0 0 3 5 】

次に、請求項 1 の記載によるディスプレイパネルの駆動装置の第 3 の実施例について説明する。

第 3 の実施例によるディスプレイパネルの駆動装置の構造を図 1 0 に、同図中の A-A' に沿っての断面図を図 1 1 に示す。

図 1 0 及び図 1 1 から明らかな如く、第 3 の実施例は、チャネル材料膜 4 3 を延長線パターン 4 4 のトランジスタ素子生成部にのみ個別に設けたことを特徴とする。即ち、第 2 の実施例において、延長線パターン 4 4 の各々に沿って敷設したチャネル材料膜 4 3 の敷設面積を更に縮小して、延長線パターン 4 4 の切断部分にのみチャネル材料膜 4 3 設けたものが第 3 の実施例となる。本実施例と前述した第 1 及び第 2 の実施例との構造上の相異は、かかる点のみであるため、第 3 の実施例についての構造及び動作についての説明は省略する。

#### 【 0 0 3 6 】

なお、第 3 の実施例は、各々のアドレス電極に沿って形成される各トランジス

タ素子が隔離されているので、各々のトランジスタ素子間の干渉を完全に防ぐことが可能となる。また、チャネル材料膜43が敷設される箇所は、トランジスタ素子が形成される部分のみに限定されるので製造コストを更に低減することが可能となる。

#### 【0037】

さらに、請求項1の記載によるディスプレイパネルの駆動装置は、以上説明した各実施例に限定されるものではない。

例えば、以上の第1から第3の実施例では、延長線パターン44がチャネル材料膜43の上に敷設されているが、図12に示す如く、各々の実施例について延長線パターン44を絶縁膜42の上に敷設し、同パターンをチャネル材料膜43の下に潜り込ませるような構造としても良い。

#### 【0038】

また、以上の実施例では、基板側に制御線パターン41を設け、その上に複合膜層を挟んで延長線パターン44を形成する構造となっているが、かかる構造を逆転させ、基板側に延長線パターン44を形成する構造としても良い。従って、この場合の基板構造は、図13に示す如く、基板40の側から延長線パターン44、チャネル材料膜43、絶縁膜42、制御線パターン41の順に各構成部材が積層されて行くことになる。なお、かかる構造とする場合でも、チャネル材料膜43の敷設面積を調整した上記の第1から第3までの実施例が適用できることは言うまでもない。

#### 【0039】

さらに、ド・モルガンの定理によれば、正論理に基づく論理積は、負論理に基づく論理和に等しいことが知られている。それ故、本発明によるアドレス生成回路の動作を負論理として設定し、チャネル材料膜43としてp型半導体材料を用いれば、Pチャネル型トランジスタによる論理和回路としてディスプレイパネルの駆動装置の基板構造を実現することもできる。

#### 【0040】

以上詳述した如く、本発明によれば、ディスプレイパネルの駆動装置の構成部材としてアモルファスシリコン素材や有機半導体素材を用いることができ、かつ

基板構造を簡略することができるため、ディスプレイパネルの駆動装置の小型化及び低コスト化を図ることが可能となる。

【図面の簡単な説明】

【図 1】

図 1 は、アクティブマトリクス方式によるディスプレイパネルの構成を示すブロック図である。

【図 2】

図 2 は、請求項 1 に記載によるディスプレイパネルの駆動装置の構成を示すブロック図である。

【図 3】

図 3 は、図 2 のディスプレイパネルの駆動装置の動作を表したタイムチャートである。

【図 4】

図 4 は、図 2 のディスプレイパネルの駆動装置におけるアドレス信号生成回路の構成を示す回路図である。

【図 5】

図 5 は、図 4 の回路において、アドレス信号生成用データ制御線群に重畳されるコード群とデコードアドレスとの関係を表したコード表である。

【図 6】

図 6 は、図 4 の回路を基板上に実装した場合の第 1 の実施例を示す基板構造図である。

【図 7】

図 7 は、図 6 の A - A' に沿っての断面図である。

【図 8】

図 8 は、図 4 の回路を基板上に実装した場合の第 2 の実施例を示す基板構造図である。

【図 9】

図 9 は、図 8 の A - A' に沿っての断面図である。

【図 10】



図 1 0 は、図 4 の回路を基板上に実装した場合の第 3 の実施例を示す基板構造図である。

【図 1 1】

図 1 1 は、図 1 0 の A - A' に沿っての断面図である。

【図 1 2】

図 1 2 は、本発明による変形実施例を示す基板構造図である。

【図 1 3】

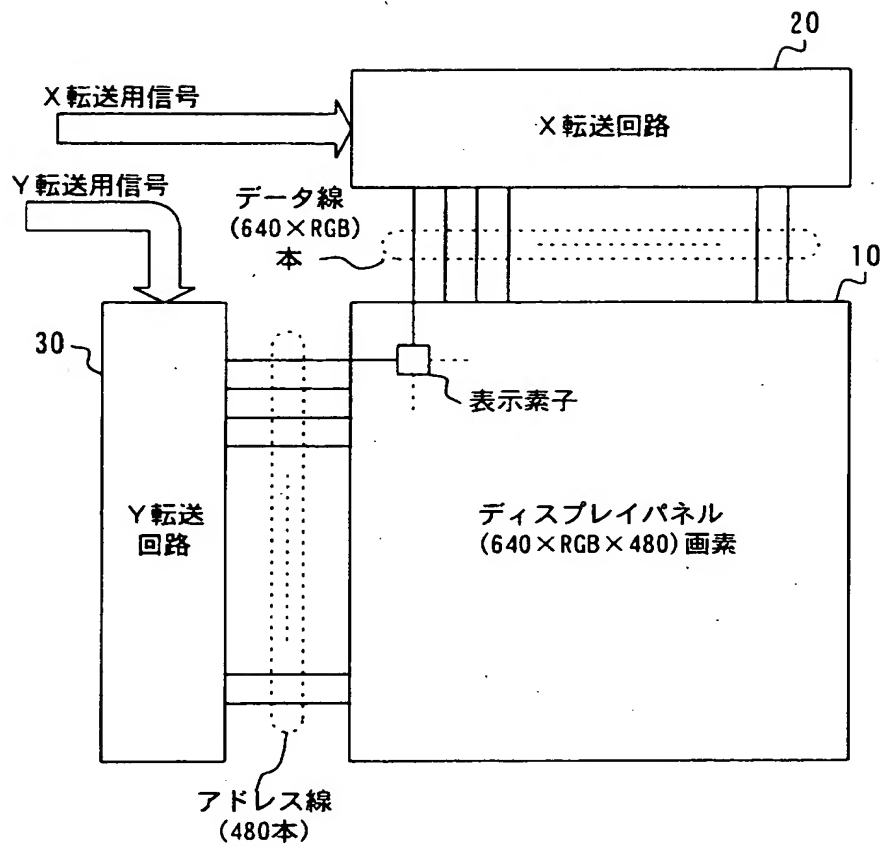
図 1 3 は、本発明による他の変形実施例を示す基板構造図である。

【符号の説明】

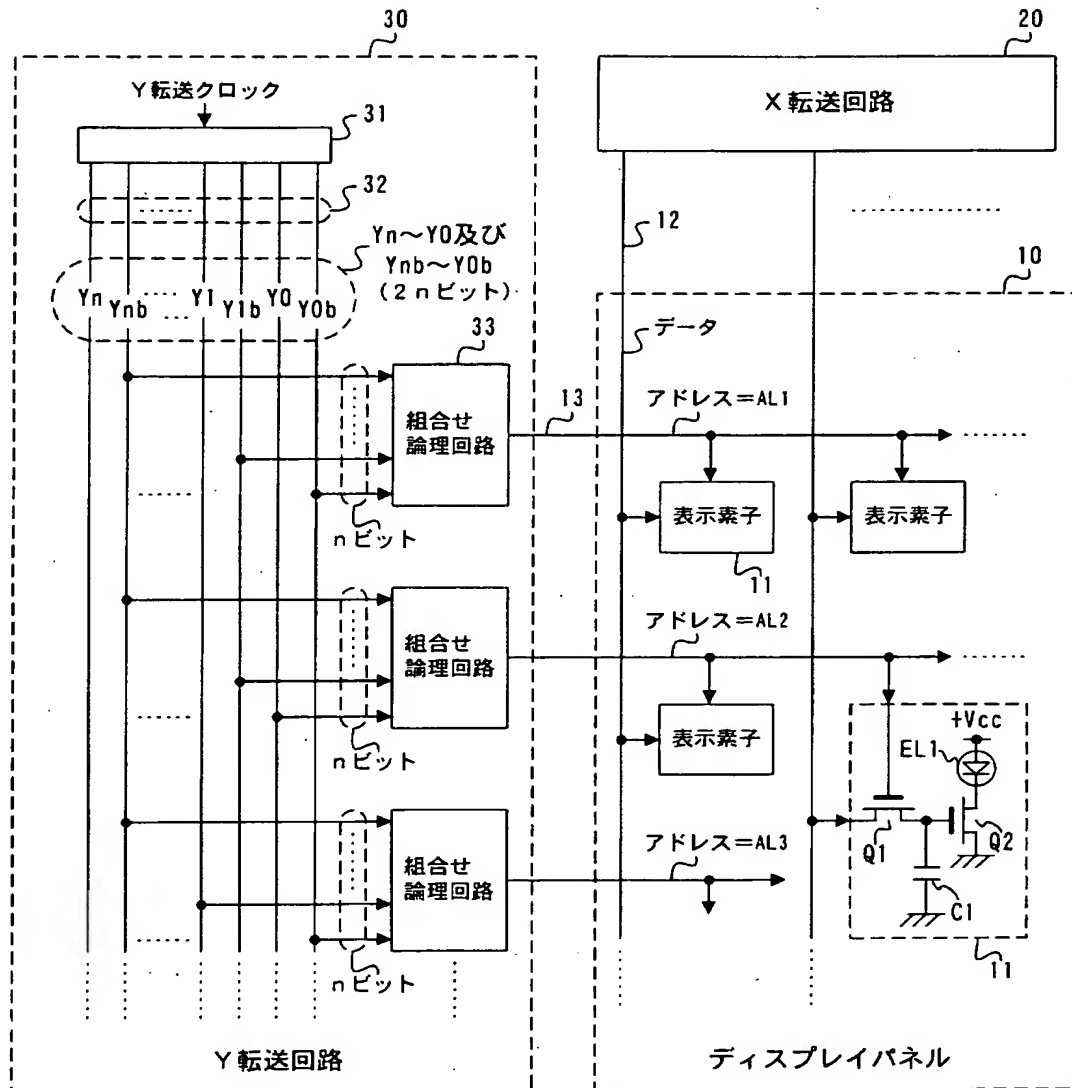
- 1 0   …  ディスプレイパネル
- 1 1   …  表示素子
- 1 2   …  データ電極
- 1 3   …  アドレス電極
- 2 0   …  X 転送回路
- 3 0   …  Y 転送回路
- 3 1   …  アドレス信号生成データ供給回路
- 3 2   …  アドレス信号生成用データ制御線群
- 3 3, 3 3 1, 3 3 2   …  組合せ論理回路
- 4 0   …  基板
- 4 1   …  アドレス信号生成用データ制御線パターン
- 4 2   …  絶縁膜
- 4 3   …  チャネル材料膜
- 4 4   …  アドレス電極延長線パターン

【書類名】 図面

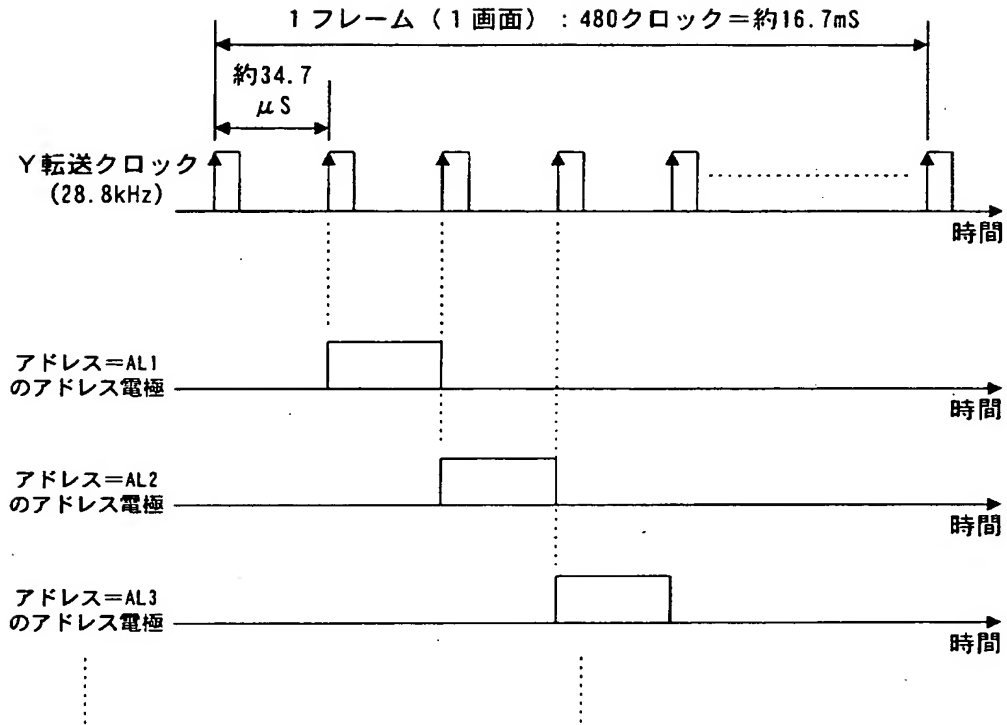
【図 1】



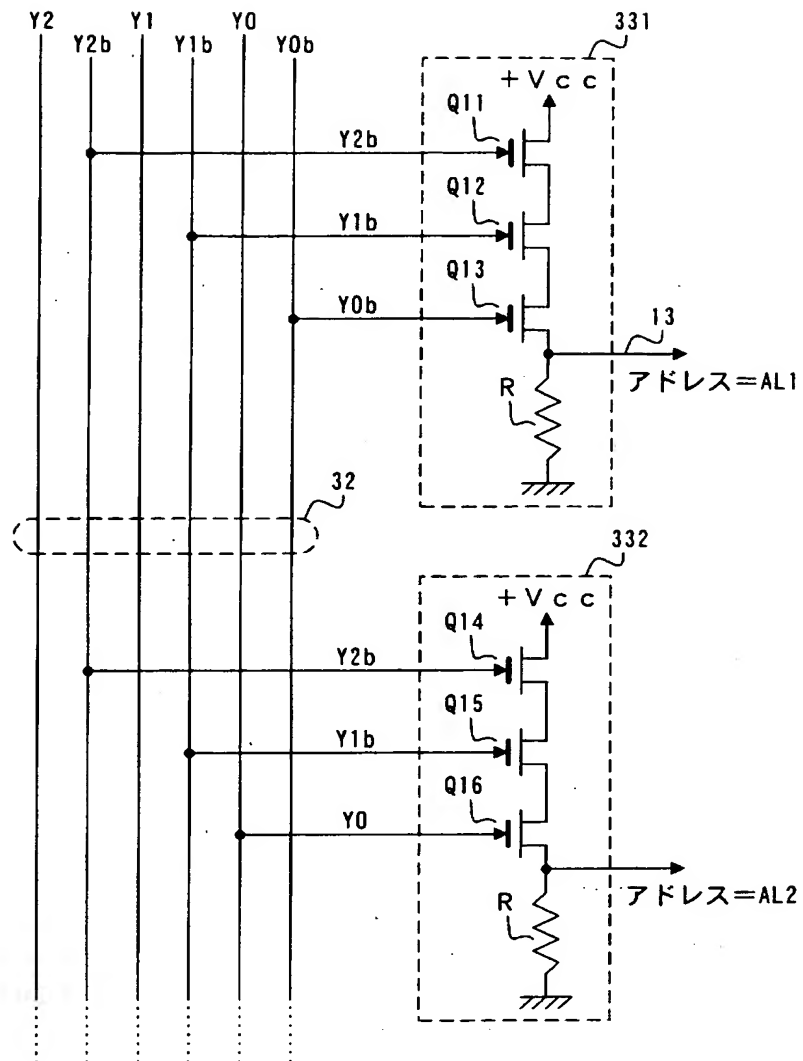
【図 2】



【図 3】



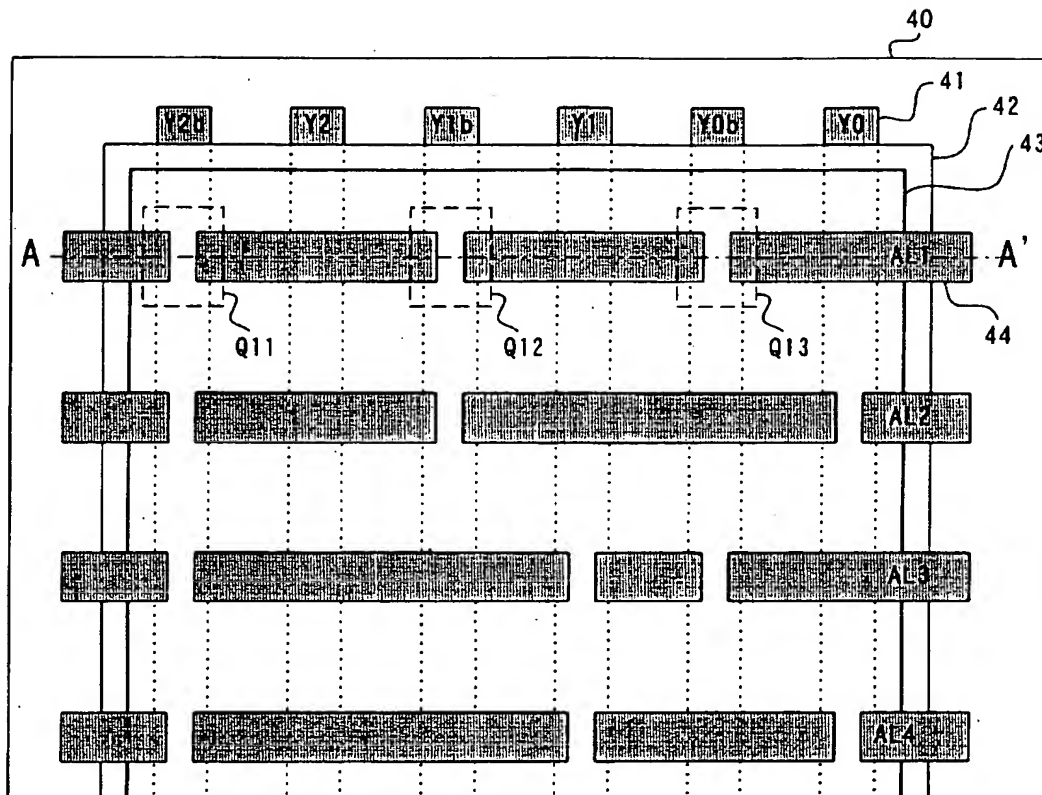
【図 4】



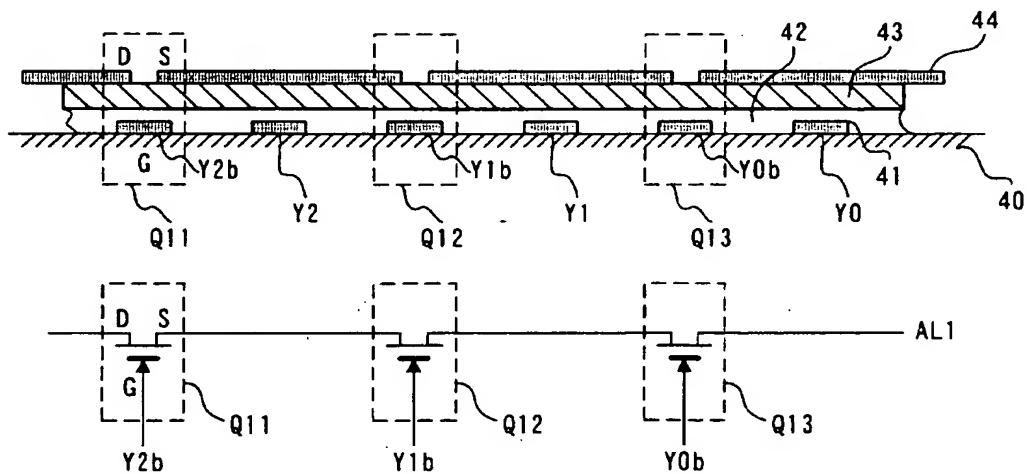
【図 5】

アドレス AL	アドレス信号生成用データ制御線群 (Y2~Y0及びY2b~Y0b) に重畳されるコード群とデコードされるアドレスとの関係					
	バイナリー符号			反転バイナリー符号		
	Y2	Y1	Y0	Y2b	Y1b	Y0b
AL=1	0	0	0	1	1	1
AL=2	0	0	1	1	1	0
AL=3	0	1	0	1	0	1
AL=4	0	1	1	1	0	0
AL=5	1	0	0	0	1	1
AL=6	1	0	1	0	1	0
AL=7	1	1	0	0	0	1
AL=8	1	1	1	0	0	0

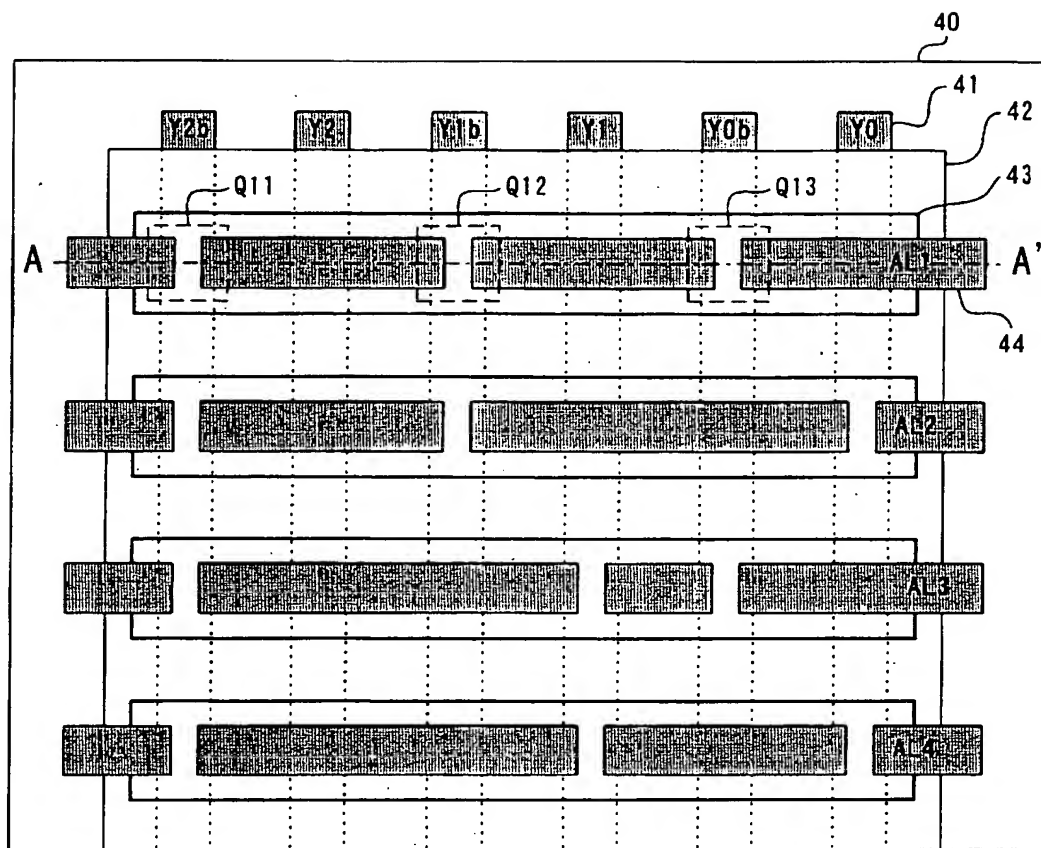
【図 6】



【図 7】

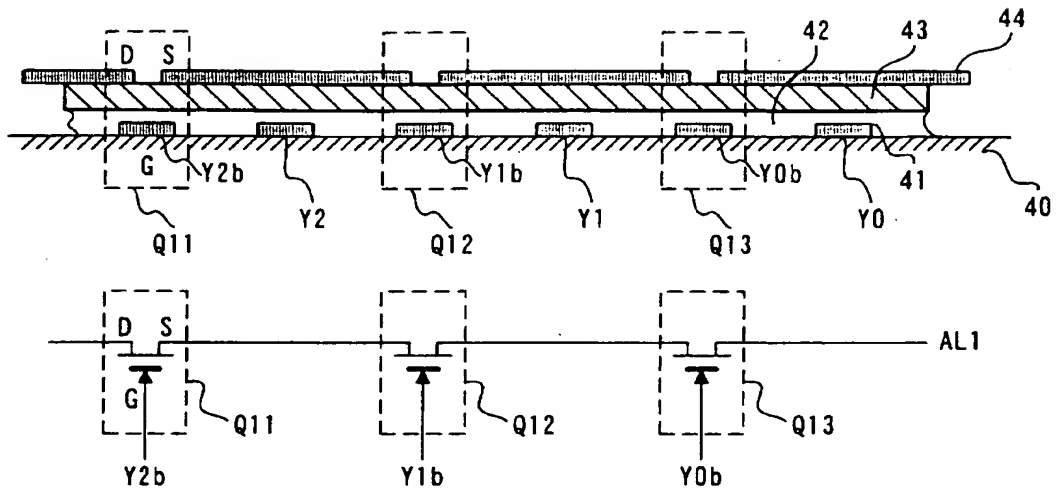


【図 8】

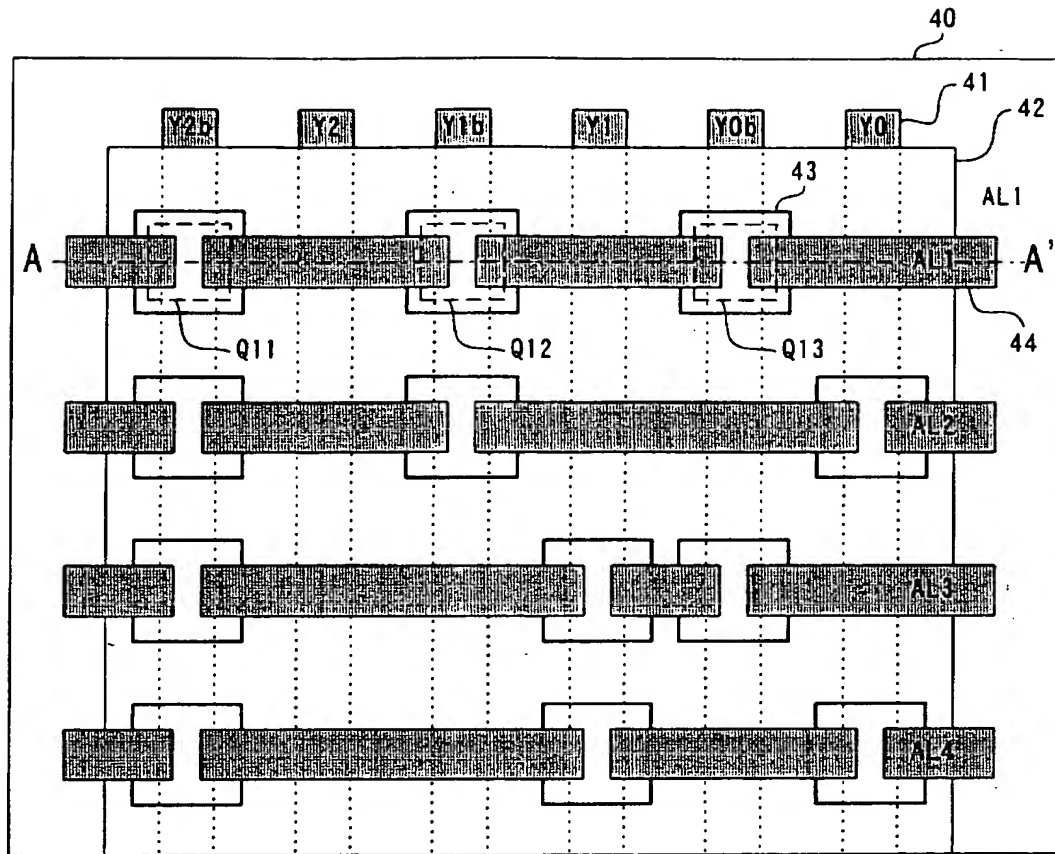




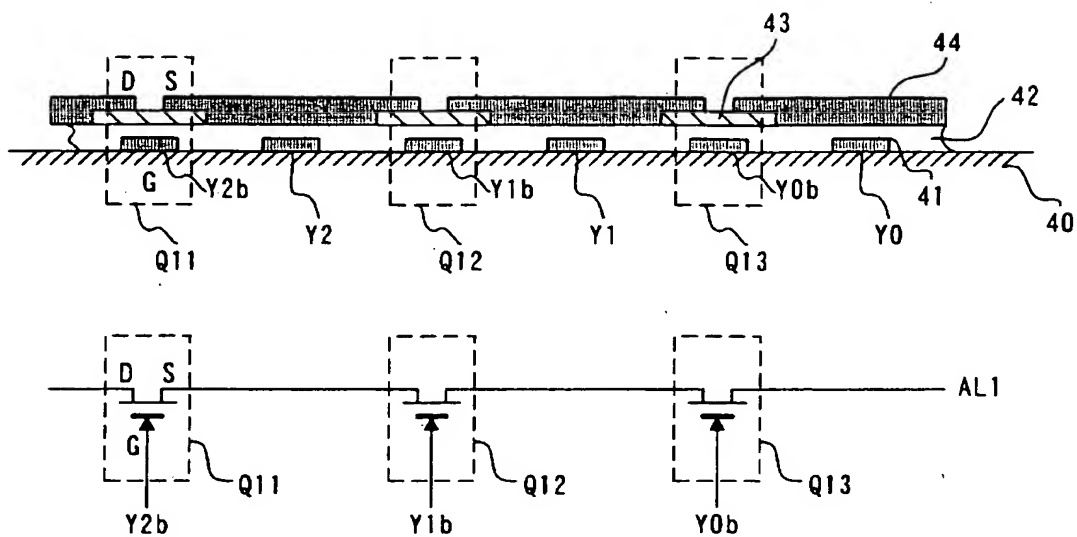
【図 9】



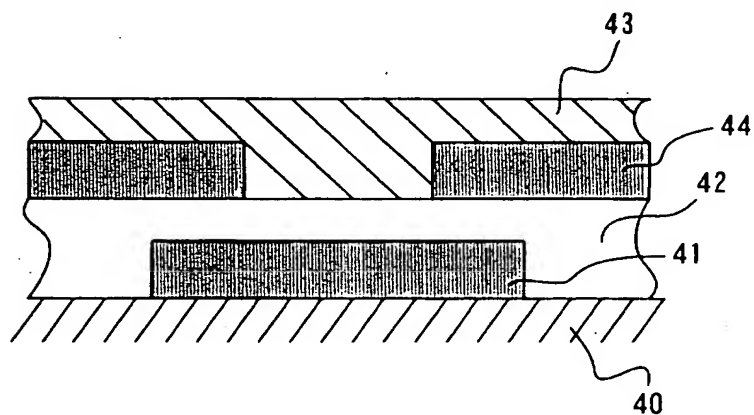
【図10】



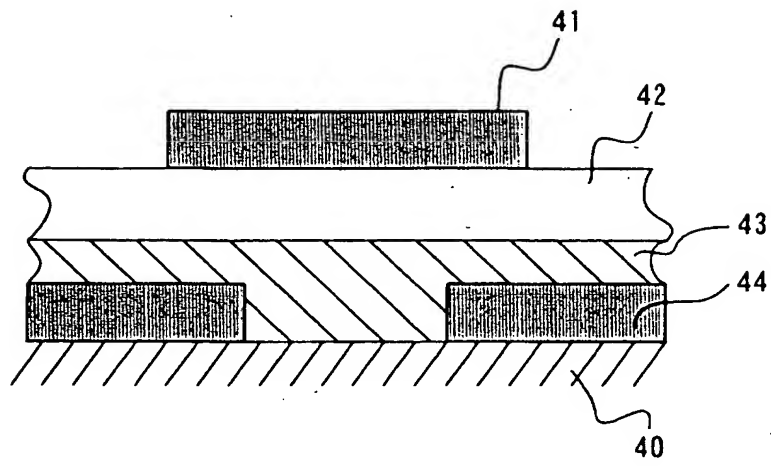
【图 1 1】



【图 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 アモルファスシリコン素材や有機半導体素材を用いることが可能であり、かつ基板構造の簡単なディスプレイパネルの駆動装置を提供する。

【解決手段】 ディ스플레이パネルの行アドレスの基となるデータコード配線群と、アドレス電極ラインの配線群とを、絶縁膜と半導体膜から成る複合層を挟んで交叉させる。アドレス電極ラインの所定の交叉点に切断部を設けることによって、該切断部にMOS型トランジスタを実現し、一本のアドレス電極ライン上にMOS型トランジスタを直列に配置した行アドレスデコード用の論理回路を構成する。

【選択図】 図7

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都目黒区目黒1丁目4番1号
氏 名	パイオニア株式会社